

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-196471

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月3日

H 01 L 29/784
29/688526-5F
8422-5F

H 01 L 29/78 3 2 1 J

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 伝導度変調型MOSFET

⑯ 特 願 平1-15901

⑰ 出 願 平1(1989)1月25日

⑱ 発 明 者 関 康 和 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山口 巖

明 細 書

1. 発明の名称 伝導度変調型MOSFET

2. 特許請求の範囲

1) 第1導電型の半導体基板上に形成された第2導電型の第1バッファ層と、このバッファ層の上に形成され、その不純物濃度に比して高濃度にドーピングされ且つその厚さに比して薄い膜厚を有する第2導電型の第2バッファ領域と、この第2バッファ領域の上に形成された第2導電型の伝導度変調層とを備えた基板構造を有することを特徴とする伝導度変調型MOSFET。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、伝導度変調型MOSFET(以下、IGBTという)に関し、ターンオフ時間を短くする構造を備えたIGBTに関する。

〔従来の技術〕

従来、IGBTの基本構造は、第3図に示す如く、P型基板をドレイン層(コレクタ層)1とし、N型バッファ層2、N型伝導度変調層(ベース

層)3、島状のP型ベース領域4、島状のN型ソース領域(エミッタ領域)5、ゲート酸化膜6、ポリシリコンゲート7及びソース電極(エミッタ電極)8を有する縦型構造である。

正のゲート電圧を加えると、nチャネルが形成され、N型ソース領域からN型ベースの伝導度変調層3に電子が流れ込むが、流入した電子は伝導度変調層3の電圧を下げるため、ドレイン側のp-n⁺接合を順バイアスし、この結果p⁺のドレイン層1からN⁻の伝導度変調層3に正孔が流れ込み、伝導度変調層3の抵抗が大幅に低下する。このためIGBTのオン抵抗は小さくなる。

ゲート電圧を取り去ったターンオフ期間においては、P型ベース領域4とN⁻の伝導度変調層3とが逆バイアスされ、空乏領域の拡大により電子はドレイン層1側に、正孔はソース領域5側に掃き出され、その後伝導度変調層3の非空乏領域に蓄積残存する電子と正孔の過剰電荷は再結合により減少し、熱平衡状態に達する。

このターンオフ時間の短縮を図る技術として、

残存する電子と正孔を再結合中心で速やかに再結合させるため、放射線照射で半導体内部に結晶欠陥を故意に作りこれを再結合中心とするものや、金や白金等の重金属原子をドーピングしてこの不純物中心を再結合中心とするものがある。いずれの技術も禁止帯の中に局在単位が形成され、これは再結合の場となることから、ライフタイムキラーとして機能する。

〔発明が解決しようとする課題〕

しかしながら、上記のライフタイムキラーの導入方法は、縦型構造のIGBTにおいては、縦方向の各層に一律に施されるため、ターンオフ時間は短縮されるものの、逆にIGBTの特長たるオン抵抗の低減を阻害してしまう。

即ち、放射線照射は半導体基板の表裏面側に結晶欠陥を多く作るものの、加速エネルギー又はドーズ量を変えても、伝導度変調層3内の非空乏領域付近へ局所的に導入することが困難であり、また重金属原子のドーピングでは拡散温度や拡散時間で拡散深さ等を制御できるものの、やはり非空乏

領域付近への局所的導入は困難である。

そこで、本発明の課題は、積極的にライフタイムキラーの導入をせずに、基板構造においてゲッタリング領域となるべき第2のバッファ層を予め形成することによって、その後のプロセスで重金属元素のゲッタリングを自然進行させ、結果的に第2のバッファ層を局所的なライフタイムキラー領域として機能させて、低いオン抵抗を維持しつつターンオフ時間の短縮化を実現し得る伝導度変調型MOSFETを提供することにある。

〔課題を解決するための手段〕

上記課題を解決するために本発明の講じた手段は、伝導度変調型MOSFETに用いられる基板構造として、第1導電型の半導体基板上に形成された第2導電型のバッファ層と、このバッファ層の上に形成され、その不純物濃度に比して高濃度でその厚さに比して薄い第2導電型の第2バッファ領域と、この第2バッファ領域の上に形成された第2導電型の伝導度変調層とを備えたものである。

〔作用〕

かかる手段によれば、重金属原子の積極的導入又はプロセス途中における自然汚染等によって、第2のバッファ領域はゲッタ作用で重金属原子を他の層に比して多く捕捉し、ライフタイムキラー領域として機能する。第2バッファ領域は第1バッファ領域の不純物濃度に比して高濃度であるから、ターンオン期間及び定常オン期間においては電子及び正孔に対して電位障壁となるが、第2バッファ層の厚さは第1バッファ層のそれに比して薄いので、オン抵抗の増大に殆ど影響しない。ターンオフ期間においては、第1導電型半導体基板側から伝導度変調層に対する少数キャリアの注入が第1バッファ層で抑制されるが、一方伝導度変調層の非空乏領域に掃き出された電子及び正孔はライフタイムキラー領域と化した隣接する第2バッファ領域の重金属原子に速やかに捕捉され、再結合で消滅する。したがって、ターンオフ時間が短縮化される。

〔実施例〕

第1図は、本発明に係る伝導度変調型MOSFETの一実施例における基本構造を示す断面図である。

1は不純物高濃度のP⁺型半導体基板のドレイン層(コレクタ層)で、少数キャリア注入層として機能する。このP⁺型半導体基板1上には不純物高濃度のN⁺型第1バッファ層2aが形成されている。第1バッファ層2aはターンオフ時の正孔の注入を抑制するものである。この第1バッファ層2a上にはその不純物濃度に比して更に高濃度のN⁺⁺型第2バッファ層2bが形成されている。N⁺⁺型第2バッファ層の厚さは数 μm で、第1バッファ層2aの厚さに比して薄い。3は第2バッファ層2b上に成長されたN⁻型エピタキシャル層の伝導度変調層(N⁻ベース層)である。4は伝導度変調層3の上部に島状に形成されたP型ベース領域(Pボディ)で、これには更に不純物高濃度のN⁺型ソース領域(エミッタ領域)5が縦型島状に形成されている。6はゲート酸化膜で、7はゲート電極としてのポリシリコンゲートであり、

8は双方の N^+ 型ソース領域5、5をブリッジするソース電極(エミッタ電極)である。

第2バッファ層2bは不純物が高濃度であるため、P型ベース領域4等の不純物拡散プロセス途中において汚染重金属原子を自ずとゲッタリングするが、本実施例では伝導度変調層3を形成した基板構造に対して裏面から金又は白金の重金属原子を故意に導入した。この過剰の重金属原子はそれ以後のプロセスにおける熱処理において第2バッファ層2bに多く捕捉され、第2バッファ層2bは重金属原子の濃度が他の層に比して高くなり、ライフタイムキラークラスないし再結合中心層として主役的に機能することになる。

次に、作成された伝導度変調型MOSFETの動作を説明する。ポリシリコンゲート7に正のゲート電圧が印加されると、MOS部には n チャネルが形成され、 N^+ 型ソース領域5からその n チャネルを介して N^- の伝導度変調層3に多数キャリアの電子が流れ込む。このため、 N^- 型の伝導度変調層3内の多数キャリアたる電子密度が増大

い値をもつ。

次に、ターンオフ期間を考察するに、ゲート電圧が零となると、フェルミエネルギー E_F が一致し、第1バッファ層2aとドレイン層1との間に高い電位障壁が発生する。このため、ドレイン層1から第1バッファ層2aへの正孔注入が阻止される。また第2バッファ層2bも正孔注入阻止に寄与する。更に n チャネルの消滅により伝導度変調層3への電子流れ込みも停止する。一方、第1図に示す如く、伝導度変調層3内に空乏端3aが拡大し、電子及び正孔を斜線部で示す非空乏領域3bへ掃き出し、ドレイン電流は急激に減少する。そして非空乏領域3bを始めとして第2バッファ層2b及び第1バッファ層2aに残存する電子及び正孔の過剰電荷は若干直接再結合により減少して行くが、第2バッファ層2b内の他に比して高濃度の重金属元素が原因となって形成される禁制帯中の局在準位 E_i を介して、再結合が優勢的に働く。このため、キャリアの寿命がすこぶる短縮し、ターンオフ時間が従来に比して相当短くなる。

し、その電位を下げるので、第2図(A)に示す如く、ドレイン層1側の p^+n^- 接合が順バイアスとなる。この結果、ドレイン層1から少数キャリアの正孔が伝導度変調層3に注入され、伝導度変調層3内には電子と正孔の濃度が急激に増大し、伝導度変調状態を誘起する。これがターンオン期間又は定常オン期間であるが、この期間において第2バッファ層2bは第2図に示す如く電子及び正孔に対して電位障壁として作用する。つまり、第2バッファ層2bと第1バッファ層2aとのポテンシャル差は両キャリアにとって電位障壁となるが、しかし第2バッファ層2bの厚さが第1バッファ層のそれに比して薄いため、電子はバッファ層2aへたやすく移り、また正孔は運動エネルギーも手伝って伝導度変調層3へ支障なく移る。更に、本実施例においては第2バッファ層2bの不純物濃度に比して伝導度変調層3のそれが低いので、双方の移動が起こり易い。したがって、本実施例の伝導度変調型MOSFETにおけるオン抵抗は第2バッファ層2bが無い従来のものと同等の低

上記実施例における伝導度変調層3は N 型であるから、深い不純物準位たる局在準位 E_i をアセプタ形とすれば、第2バッファ層2bのポテンシャル穴に引き込まれる電子はより速く局在準位 E_i の再結合中心に捕捉され易く、ターンオフ時間の一層の短縮化に寄与する。

〔発明の効果〕

以上説明したように、本発明に係る伝導度変調型MOSFETは、第1バッファ層と伝導度変調層との間に第1バッファ層の不純物濃度に比して高濃度でその厚さに比して薄い同電導型の第2バッファ領域を備えた基板を以て構成した点に特長を有するものであるから、次の効果を奏する。

即ち、重金属原子の積極的導入又はプロセス途中の自然汚染で伝導度変調層下の第2バッファ領域が局部的なライフタイムキラークラスとして機能するから、ターンオン期間及び定常オン期間においてはオン抵抗を従来と同等に低く維持でき、一方、ターンオフ期間においては、伝導度変調層内の非空乏領域の電子及び正孔を主体的に再結合さ

せるので、ターンオフ時間が従来に比して短縮される。

4. 図面の簡単な説明

第1図は、本発明に係る伝導度変調型MOSFETの一実施例における基本構造を示す断面図である。

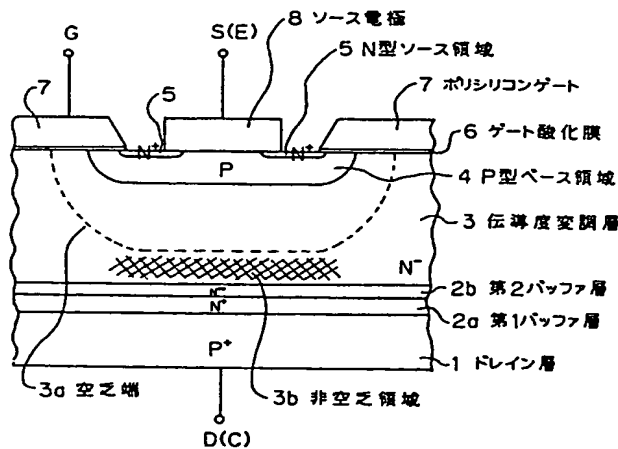
第2図(A)は同実施例のターンオン期間におけるエネルギーバンド図で、第2図(B)は同実施例のターンオフ期間におけるエネルギーバンド図である。

第3図は、従来の伝導度変調型MOSFETの一例における基本構造を示す断面図である。

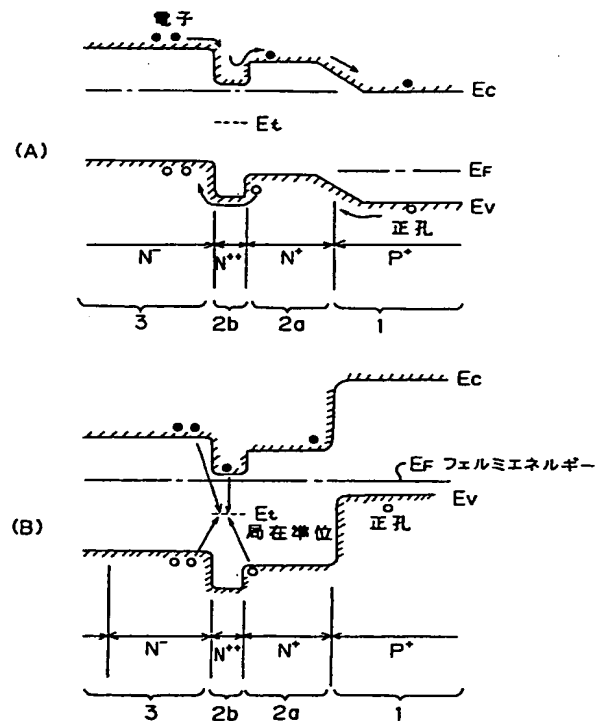
1……P⁺型半導体基板のドレイン層、2a……N⁺型の第1バッファ層、2b……ライフタイムキラー層としてのN⁺⁺型の第2バッファ層、3……N⁻型の伝導度変調層、3a……空乏端、3b……非空乏領域、4……P型ベース領域、5……N⁺⁺型ソース領域、6……ゲート酸化膜、7……ポリシリコンゲート、8……ソース電極、E_F……フェルミエネルギー、E_C……伝導帯の最小エネルギー、E_V……充満帯の最大エネルギー、E_t……第2バッファ層の再結合中心とし

ての局在単位。

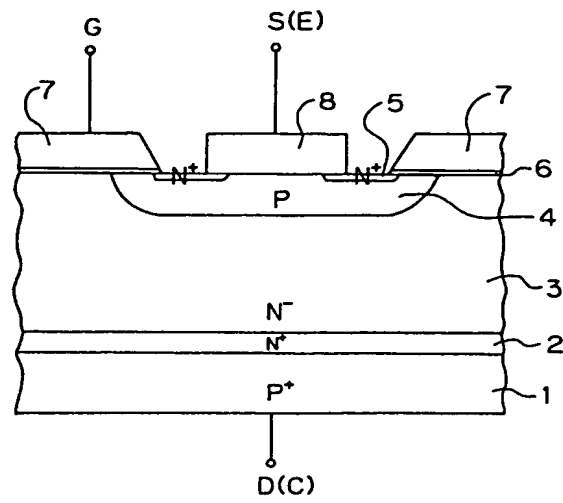
代理人弁護士 山口 直



第 1 図



第 2 図



第 3 図